



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10233992 A**(43) Date of publication of application: **02.09.98**

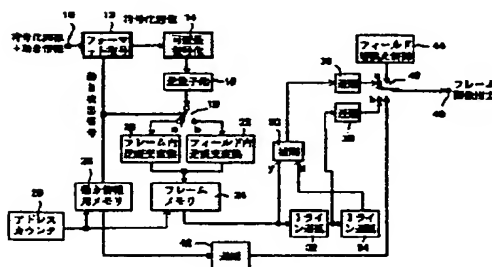
(51) Int. Cl.  
**H04N 5/91**  
**H03M 7/30**  
**H04N 7/32**  
**H04N 11/04**

(21) Application number: **09033826**(71) Applicant: **CANON INC**(22) Date of filing: **18.02.97**(72) Inventor: **TAKEUCHI YOSHITAKA****(54) IMAGE PROCESSING UNIT****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a frame still image with high image quality.

**SOLUTION:** Image data and its motion detection signal are given to an input terminal 10. Both the information data are separated by a format decoding circuit 12 and the decoded coded image information is stored in a frame memory 24 and the motion detection signal is stored in a motion information memory 26. An interpolation circuit 30 generates an interpolation value from upper and lower lines of a 1st field with respect to a 2nd field. A field changeover switch 40 is thrown to the point of a contact (a) with respect to the 1st field according to a control signal from a field changeover control circuit 44 and thrown to the point of a contact (b) with respect to the 2nd field for a picture element of a motion block in response to an output (motion detection signal) of a delay circuit 42 to select interpolation picture element data and thrown to the point of the contact (a) with respect to a picture element of a still block to select an output of a delay circuit 36.

COPYRIGHT: (C)1998,JPO





## 【特許請求の範囲】

【請求項1】 飛び越し走査による第1フィールドと第2フィールドの入力画像、及び画面を分割する複数のブロックのそれぞれについて当該入力画像の動きを示す動き情報から、1フレームの静止画像を形成する画像処理装置であって、

当該入力画像の動きを示す動き情報を記憶する動き情報用メモリ手段と、

当該入力画像の第1フィールドと第2フィールドから当該第2フィールドの補間画像を形成する補間手段と、第1フィールドでは、当該入力画像の第1フィールドの画素データを選択し、第2フィールドでは、当該動き情報用メモリ手段に記憶される動き情報に従い、動き部分と判定された処理対象画素では、当該補間手段の出力を選択し、静止部分と判定された処理対象画素では当該入力画像の第2フィールドの信号を選択する選択手段とからなることを特徴とする画像処理装置。

【請求項2】 当該入力画像が、二次元のフレーム内直交変換とフィールド内直交変換を選択的に用いて符号化されたデータから復号化されたものであり、当該画面を分割する複数のブロックのそれぞれが、直交変換ブロックである請求項1に記載の画像処理装置。

【請求項3】 飛び越し走査による第1フィールドと第2フィールドの入力画像、及び画面を分割する複数のブロックのそれぞれについて当該入力画像の動きを示す動き情報から、1フレームの静止画像を形成する画像処理装置であって、

当該入力画像の動きを示す動き情報を記憶する動き情報用メモリ手段と、

当該入力画像の第1フィールドと第2フィールドから当該第2フィールドの補間画像を形成する補間手段と、当該入力画像の第2フィールドの各画素データを動き補正の処理対象画素データとして当該入力画像の第1のフィールドの画素との間で動きを演算する動き演算手段と、

当該動き情報用メモリ手段に記憶される動き情報に従い、動き判定の閾値を発生する閾値発生手段と、

当該動き演算手段の演算結果を当該閾値発生手段の発生する閾値と比較して、第2のフィールドの各処理対象画素について動き／静止を判別する動き／静止判別手段と、

第1フィールドでは、当該入力画像の第1フィールドの画素データを選択し、第2フィールドでは、当該動き／静止判別手段の動き判別結果に従い、動き部分と判定された処理対象画素では当該補間手段の出力を選択し、静止部分と判定された処理対象画素では当該入力画像の第2フィールドの信号を選択する選択手段とからなることを特徴とする画像処理装置。

【請求項4】 当該入力画像が、二次元のフレーム内直交変換とフィールド内直交変換を選択的に用いて符号化

されたデータから復号化されたものであり、当該画面を分割する複数のブロックのそれぞれが、直交変換ブロックである請求項3に記載の画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、画像処理装置に関し、より具体的には、飛び越し走査のビデオ信号からフレーム静止画像を形成する画像処理装置に関する。

## 【0002】

【従来の技術】近年、テレビジョン信号のような飛び越し走査の動画像信号のうちの1フレームの画像を静止画としてモニタ上に表示したり、ビデオ・プリンタなどでプリントアウトする需要が高まってきている。この場合、モニタやビデオプリンタなどの画像出力機器に動画像データを入力したり、またそれらの画像データを記録媒体に記録しておくのに、通常、圧縮符号化技術が用いられる。

【0003】現在、広く用いられている直交変換を用いた画像圧縮符号化を簡単に説明する。図5は、直交変換を用いる画像符号化復号化装置の概略構成ブロック図を示す。

【0004】入力端子110には、フレーム単位でデジタル画像データが入力する。ブロック化回路112は、入力端子110からの画像データを直交変換の基準となるM画素×N画素からなるブロックに分割し、ブロック単位で画像データを動き検出回路114に出力する。動き検出回路114はブロック単位で動きを検出する。即ち、動き検出回路114は各ブロックが動きブロックか静止ブロックかを検出し、動き検出信号を出力する。例えば、ブロック内でのフィールド間の差分の総和などがある閾値と比較し、総和が大きい場合は動きブロック、総和が小さい場合は静止ブロックというように、フィールド間の相関性から動きの有無を判定できる。

【0005】動き検出回路114は、動き検出に要する時間だけ、入力画像データを遅延して、スイッチ116に供給する。スイッチ116は動き検出回路114から出力される動き検出信号に従い、静止ブロックと判定されればブロックに対してはa接点に接続して、そのブロックの画像データをフレーム内直交変換回路118に供給し、動きブロックと判定されたブロックに対してはb接点に接続して、そのブロックの画像データをフィールド内直交変換回路120に供給する。即ち、静止ブロックの場合は、フィールド間の相関性が高いので、フレーム内直交変換回路118によるフレーム内直交変換を選択し、動きブロックの場合には、フィールド間の相関性が低いので、フィールド内直交変換回路120によるフィールド内直交変換を選択する。

【0006】直交変換回路118又は同120により直交変換された画像データは、量子化回路122により量子化され、可変長符号化回路124により可変長符号化

される。可変長符号化回路124の出力はフォーマット化回路126に印加される。フォーマット化回路126にはまた、動き検出回路114から出力される動き検出信号も入力する。フォーマット化回路126は、可変長符号化回路124の出力（符号化画像データ）、動き検出回路114からの動き検出信号及びその他の付属データを所定のフォーマットに整形して、伝送媒体又は記録媒体128などに出力する。

【0007】伝送媒体又は記録媒体128から送られてきた符号化画像データを再生する場合は、符号化の逆の手順をたどることになる。即ち、フォーマット復号回路130が、伝送又は記録のためのフォーマットから符号化画像データ、動き検出信号及びその他の付属データを分離する。フォーマット復号回路130から出力される符号化画像データは、可変長復号化回路132により可変長復号化され、逆量子化回路134により逆量子化される。スイッチ136はフォーマット復号回路130から出力される動き検出信号に従い、逆量子化回路134の出力を、静止ブロックではa接点からフレーム内逆直交変換回路138に、動きブロックではb接点からフィールド内逆直交変換回路140に供給する。ラスト走査化回路142は逆直交変換回路138又は同140の出力（二次元ブロックデータ）をラスト走査信号に変換する。ラスト走査化回路142の出力は再生画像データとして出力端子144から外部のモニタ又はプリンタに供給される。

【0008】このような構成で、飛び越し走査のフレーム信号から静止画出力する画像信号を形成した場合、飛び越し走査の2つのフィールド間の時間差による画像の動きの影響で、得られる画像がブレたり走査線が目立つといった問題が生じる。

【0009】この問題に対し、従来は、1フレーム分の一方のフィールドの画像を他方のフィールドの画像で補間して、擬似的にフレーム画像を生成して、画像のブレを抑制してきた。補間方法として例えば、図6に示されるように、補間処理対象となる第2フィールドの各画素を、第1フィールドで直上に位置するラインの画素で置き換える方法や、図7に示されるように、第2フィールドの各処理対象画素に対して、第1フィールドで上下に位置する画素の平均値  $(x+y)/2$  で元の画素値  $z$  を置換する方法がある。

【0010】後者の補間方法は、例えば図8に示す回路で実現できる。入力端子150には、インターレース画像信号が入力する。入力端子150の入力信号は、補間回路152の一方の入力端子に信号  $y$  として入力すると共に、2ライン分の遅延回路154を介して別の入力端子に信号  $x$  として入力する。補間回路152は2つの入力  $x$ 、 $y$  の平均値を算出し、画素  $z$  に代替すべき補間画素信号として出力する。補間回路152の出力は、遅延回路156により1ライン分、遅延されてフィールド切

換えスイッチ158に印加される。フィールド切換えスイッチ158の別の入力には遅延回路154の出力が印加されており、フィールド切換えスイッチ158はフィールド切換え制御回路160の制御下に、遅延回路156の出力と遅延回路154の出力をライン毎に交互に切り換える。

【0011】このようにして、インターレース画像信号から一方のフィールドの上下ラインの平均値をライン間に挿入したフレーム画像を形成でき、フィールド間の時間差から生じる画像のブレを抑制できる。

【0012】

【発明が解決しようとする課題】しかし、図8に示すような回路構成では、得られたフレーム画像は、画像の動き部分についてはブレが抑制されて画質が向上しているものの、静止部分については解像度が低下して画質が劣化する。

【0013】本発明は、このような問題点を解決し、動き部分及び静止部分共に画質の向上を図ることができる画像処理装置を提示することを目的とする。

【0014】本発明はまた、静止部分の解像度低下を防ぐことのできる画像処理装置を提示することを目的とする。

【0015】

【課題を解決するための手段】本発明に係る画像処理装置は、飛び越し走査による第1フィールドと第2フィールドの入力画像、及び画面を分割する複数のブロックのそれぞれについて当該入力画像の動きを示す動き情報から、1フレームの静止画像を形成する画像処理装置であって、当該入力画像の動きを示す動き情報を記憶する動き情報用メモリ手段と、当該入力画像の第1フィールドと第2フィールドから当該第2フィールドの補間画像を形成する補間手段と、第1フィールドでは、当該入力画像の第1フィールドの画素データを選択し、第2フィールドでは、当該動き情報用メモリ手段に記憶される動き情報に従い、動き部分と判定された処理対象画素では、当該補間手段の出力を選択し、静止部分と判定された処理対象画素では当該入力画像の第2フィールドの信号を選択する選択手段とからなることを特徴とする。

【0016】本発明に係る画像処理装置はまた、飛び越し走査による第1フィールドと第2フィールドの入力画像、及び画面を分割する複数のブロックのそれぞれについて当該入力画像の動きを示す動き情報から、1フレームの静止画像を形成する画像処理装置であって、当該入力画像の動きを示す動き情報を記憶する動き情報用メモリ手段と、当該入力画像の第1フィールドと第2フィールドから当該第2フィールドの補間画像を形成する補間手段と、当該入力画像の第2フィールドの各画素データを動き補正の処理対象画素データとして当該入力画像の第1のフィールドの画素との間で動きを演算する動き演算手段と、当該動き情報用メモリ手段に記憶される動き

情報に従い、動き判定の閾値を発生する閾値発生手段と、当該動き演算手段の演算結果を当該閾値発生手段の発生する閾値と比較して、第2のフィールドの各処理対象画素について動き／静止を判別する動き／静止判別手段と、第1フィールドでは、当該入力画像の第1フィールドの画素データを選択し、第2フィールドでは、当該動き／静止判別手段の動き判別結果に従い、動き部分と判定された処理対象画素では当該補間手段の出力を選択し、静止部分と判定された処理対象画素では当該入力画像の第2フィールドの信号を選択する選択手段とからなることを特徴とする。

【0017】入力画像は例えば、二次元のフレーム内直交変換とフィールド内直交変換を選択的に用いて符号化されたデータから復号化されたものであり、当該画面を分割する複数のブロックのそれぞれは直交変換ブロックである。

【0018】別に得られている動き情報を静止画像を得るために流用することにより、画素毎に動き判定を行なうアルゴリズムに比べてハードウェアを削減できる。また、別に得られている動き情報により、画素毎の動き判定の閾値を修整することにより、周囲の判定結果と異なる判定結果の孤立点の発生を効果的に抑制でき、動き判定の精度を高めることができる。これにより、より高い画質のフレーム静止画像を得ることができる。

【0019】

【発明の実施の形態】以下、図面を参照して、本発明の一実施の形態を詳細に説明する。

【0020】図1は本発明の第1実施例の概略構成ブロック図を示す。この実施例では、直交変換、量子化及び可変長符号化を用いて高能率符号化された画像データを取り扱う場合を説明する。

【0021】入力端子10には、記録媒体又は伝送媒体から符号化画像データが所定フォーマットで入力する。各直交変換ブロック毎に1ビットの動き検出信号が付加されている。フォーマット復号回路12は、入力端子10からデータから符号化画像データと動き検出信号を抽出する。

【0022】可変長復号化回路14は、フォーマット復号回路12からの符号化画像データを可変長復号化し、逆量子化回路16は可変長復号化回路14の出力を逆量子化する。スイッチ18はフォーマット復号回路12から出力される動き検出信号に従い動き検出ブロック単位で切り換えられ、静止ブロックに対してはa接点に接続して逆量子化回路16の出力をフレーム内逆直交変換回路20に供給し、動きブロックに対してはb接点に接続して逆量子化回路16の出力をフィールド内逆直交変換回路22に供給する。フレーム内逆直交変換回路20は、逆量子化回路16の出力をフレーム内で逆直交変換し、フィールド内逆直交変換回路22は逆量子化回路16の出力をフィールド内で逆直交変換する。フレーム内

逆直交変換回路20の出力及びフィールド内逆直交変換回路22の出力は、フレーム・メモリ24に書き込まれる。

【0023】フォーマット復号回路12で抽出された動き検出信号は動き情報メモリ26に一時記憶される。

【0024】アドレス・カウンタ28は、フレーム・メモリ24に記憶される画像データ及び動き情報メモリ26に記憶される動き検出信号を、画面上のラスト順に読み出すアドレス信号を発生する。

【0025】フレーム・メモリ24から読み出されたフレーム画像データは、補間回路30と1ライン遅延回路32に印加される。1ライン遅延回路32の出力は、1ライン遅延回路34を介して補間回路30の別の入力に入力される。従って、補間回路30には、第Nライン（第2フィールド）上の処理対象画素zに対し、図2の第(N-1)ライン（第1フィールド）上の画素xと第(N+1)ライン（第1フィールド）上の画素yの画素データが同時に入力されることになり、補間回路30は、（第2フィールド）上の処理対象画素zの補間値として両入力の平均値を出力する。補間回路30の出力は、時間調整の遅延回路38に印加される。遅延回路32の出力はまた、遅延回路36に印加される。

【0026】遅延回路36、38の出力は、それぞれフィールド切換えスイッチ40のa接点及びb接点に印加される。動き情報メモリ26から読み出された動き検出信号は、時間調整の遅延回路42を介してフィールド切換えスイッチ40の切換え制御端子に印加される。フィールド切換えスイッチ40の切換え制御端子には更には、フィールド切換え制御回路44からのフィールド切換え制御信号が印加される。

【0027】フィールド切換えスイッチ40は、フィールド切換え制御回路44からのフィールド切換え制御信号が第1フィールドを指示する場合には、遅延回路42の出力（動き検出信号）に関わらずa接点に接続し、フィールド切換え制御回路44からのフィールド切換え制御信号が第2フィールドを指示する場合には、遅延回路42の出力（動き検出信号）に応じて、動きブロックの画素に対してはb接点に接続して補間回路30による補間画素データを選択し、静止ブロックの画素に対してはa接点に接続して遅延回路36の出力（即ち、第2フィールドの画素データそのもの）を選択する。

【0028】フィールド切換えスイッチ40の出力は出力端子46から外部に出力される。そのフレーム構成は、第1フィールドが元の画素データのみからなり、第2フィールドが、静止部分では元の第2フィールドの画素データからなると共に、動き部分では元の第1フィールド及び第2フィールドの画素データから形成した補間画素データからなる。

【0029】本実施例では、直交変換ブロックの単位で動きの有無を判定しているため、画素単位で動きを判定

するの比べ、ハードウェアを削減できると共に処理時間を大幅に短縮できる。また、ブロック単位では動き判定結果が同じになるので、周囲の画素と判定結果が異なる孤立点が発生しなくなり、孤立点による画質劣化を防止できる。

【0030】図3は、第2実施例の概略構成ブロック図を示す。この第2実施例では、画素単位の動き検出結果を、直交変換ブロック単位の動き情報に応じた閾値で動き判定し、その動き判定結果により元の第2フィールドの画素データか補間画素データかを選択するようにし

た。図1と同じ構成要素には同じ符号を付してある。  
【0031】動き演算回路50には、フレーム・メモリ24から読み出されたデータ、1ライン遅延回路32の出力及び1ライン遅延回路34の出力が入力される。1ライン遅延回路32の出力が第Nライン（第2フィールド）上の処理対象画素zの画素データであるときに、フレーム・メモリ24の出力は、第(N+1)ライン（第1フィールド）上の画素yの画素データ、遅延回路34の出力は第(N-1)ライン（第1フィールド）上の画素xの画素データであり、動き演算回路50はこれら3つの入力x、y、zから処理対象画素zの動き量を算出する。具体的には、図4に示すような回路構成により、 $| (x + y) / 2 - z |$ を算出する。

【0032】他方、閾値発生回路52は、動き情報メモリ26からの動き情報（直交変換ブロック単位の動き情報）に従った大きさの、動き判定の閾値Thを発生する。具体的には、閾値発生回路52は、符号化データからの動き検出情報がフレーム内逆直交変換を指示する静止ブロックを示す場合、動き判定結果が‘静止’になりやすいように、大きな閾値Thを発生し、逆に、符号化データからの動き検出情報がフィールド内逆直交変換を指示する動きブロックを示す場合には、動き判定結果が‘動き’になりやすいように、小さい閾値Thを発生する。

【0033】比較回路54は動き演算回路50の出力を、閾値発生回路52の出力する閾値Thと比較し、動き判定回路56は、比較回路54の比較結果に従い動き／静止を判定し、フィールド切換えスイッチ58の切換えを制御する切換え制御信号を発生する。本実施例では、動き演算回路50の演算結果が閾値Thより大きいときは、上下の画素の平均値と処理対象画素の値との差が十分に大きいのでその処理対象画素を動き部分と判定し、小さいときは、上下の画素の平均値と処理対象画素の値との差が小さいので、その処理対象画素を静止部分と判定する。

【0034】フィールド切換えスイッチ58は、フィールド切換え制御回路44からのフィールド切換え制御信号が第1フィールドを指示する場合には、動き判定回路56の出力に関わらずa接点に接続し、フィールド切換え制御回路44からのフィールド切換え制御信号が第2

フィールドを指示する場合には、動き判定回路56の出力に応じて、動き部分の画素に対してはb接点に接続して補間回路30による補間画素データを選択し、静止部分の画素に対してはa接点に接続して遅延回路36の出力（即ち、第2フィールドの画素データそのもの）を選択する。

【0035】図3に示す実施例では、画素単位で求めた動きの判定に直交変換ブロック単位の動き検出情報を加えることで、動き判定の参照範囲が拡大すると共に、周囲の画素と判定結果が異なる孤立点の発生を抑制でき、画素毎の動き判定の精度の向上を図ることができる。

【0036】

【発明の効果】以上の説明から容易に理解できるように、本発明によれば、符号化データの直交変換ブロックごとに検出する動き情報を用いるので、画素毎に動き判定を行なうアルゴリズムに比べてハードウェアを削減できる。また、周囲の判定結果と異なる孤立点の発生を抑制でき、動き判定の精度を改善できる。これらにより、より高い画質のフレーム静止画像を得ることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例の概略構成ブロック図である。

【図2】 処理対象画素Kの上下に位置する第1フィールドの画素データx及びyの位置関係を示す図である。

【図3】 本発明の第2実施例の概略構成ブロック図である。

【図4】 動き演算回路50の概略構成ブロック図である。

【図5】 フレーム内直交変換とフィールド内直交変換を選択する従来例の画像圧縮伝送系の概略構成ブロック図である。

【図6】 処理対象である第2フィールドの画素を1ライン上に位置する画素データで補間する様子を説明する図である。

【図7】 上下画素値の平均値により補間する例の説明図である。

【図8】 動き補正する従来のフレーム静止画像形成装置の概略構成ブロック図である。

【符号の説明】

10：入力端子

12：フォーマット復号回路

14：可変長復号化回路

16：逆量子化回路

18：スイッチ

20：フレーム内逆直交変換回路

22：フィールド内逆直交変換回路

24：フレーム・メモリ

26：動き情報メモリ

28：アドレス・カウンタ

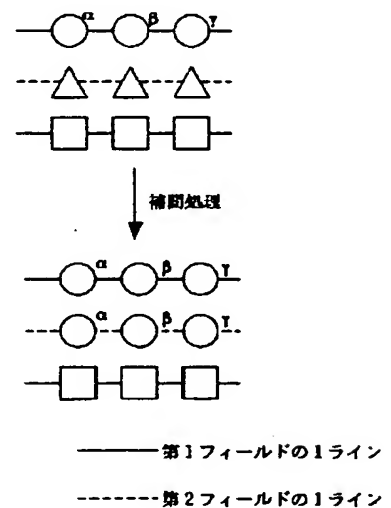
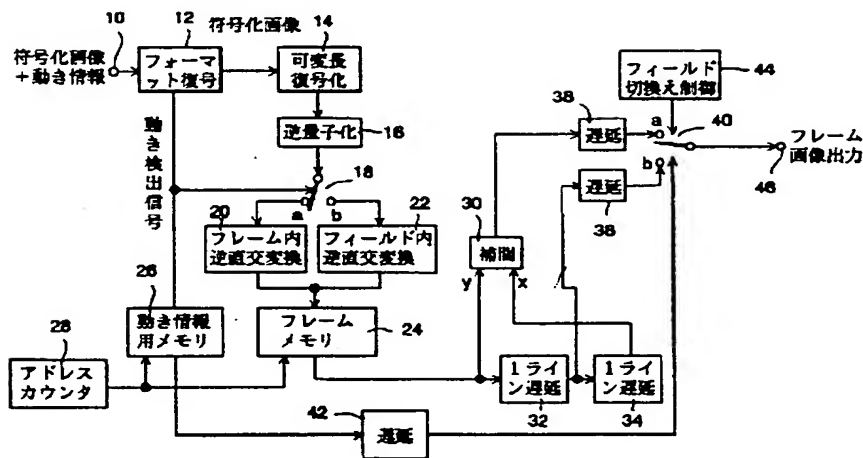
30：補間回路

32, 34: 1ライン遅延回路  
 36: 遅延回路  
 38: 遅延回路  
 40: フィールド切換えスイッチ  
 42: 遅延回路  
 44: フィールド切換え制御回路  
 46: 出力端子  
 50: 動き演算回路  
 52: 閾値発生回路  
 54: 比較回路  
 56: 動き判定回路  
 58: フィールド切換えスイッチ  
 110: 入力端子  
 112: ブロック化回路  
 114: 動き検出回路  
 116: スイッチ  
 118: フレーム内直交変換回路  
 120: フィールド内直交変換回路

122: 量子化回路  
 124: 可変長符号化回路  
 126: フォーマット化回路  
 128: 伝送媒体又は記録媒体  
 130: フォーマット復号回路  
 132: 可変長復号化回路  
 134: 逆量子化回路  
 136: スイッチ  
 138: フレーム内逆直交変換回路  
 140: フィールド内逆直交変換回路  
 142: ラスタ走査化回路  
 144: 出力端子  
 150: 入力端子  
 152: 補間回路  
 154: 遅延回路  
 156: 遅延回路  
 158: フィールド切換えスイッチ  
 160: フィールド切換え制御回路

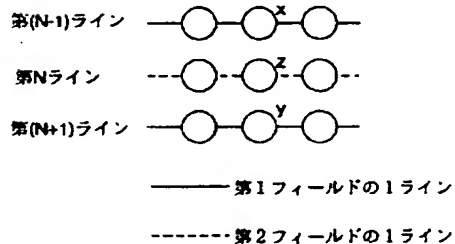
【図1】

【図6】

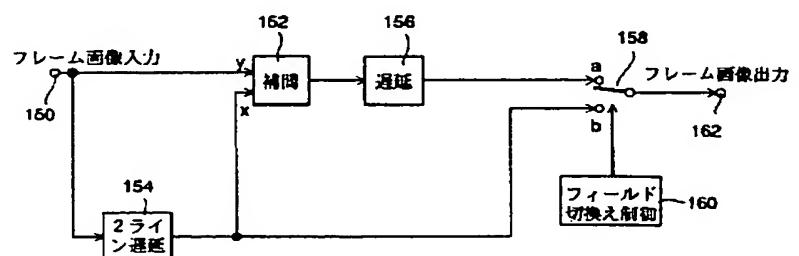


【図2】

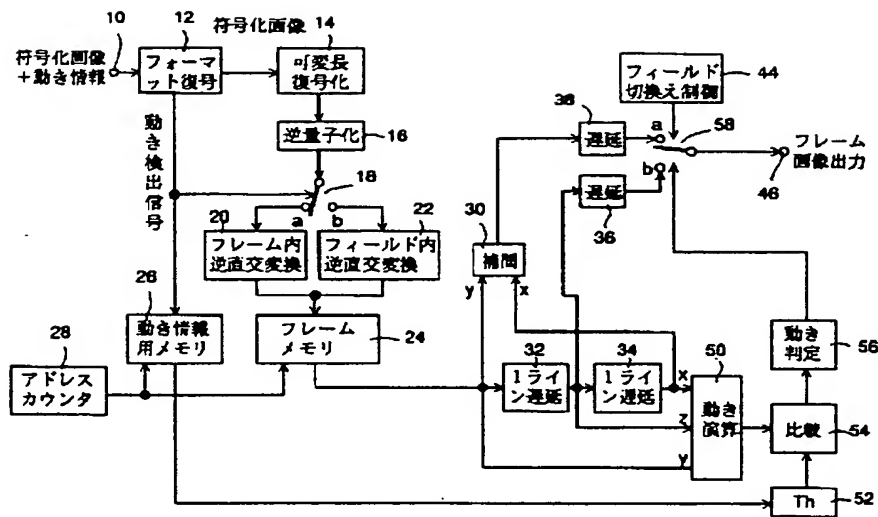
【図8】



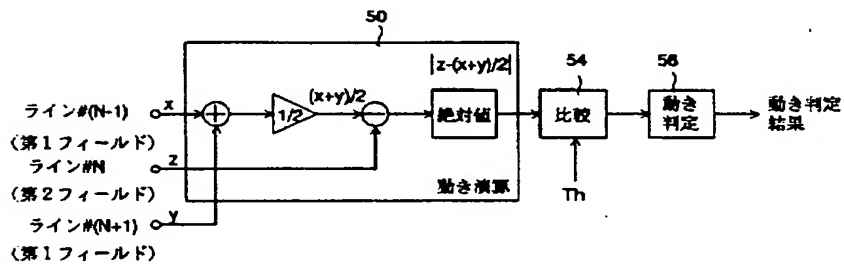
④ 処理対象画素



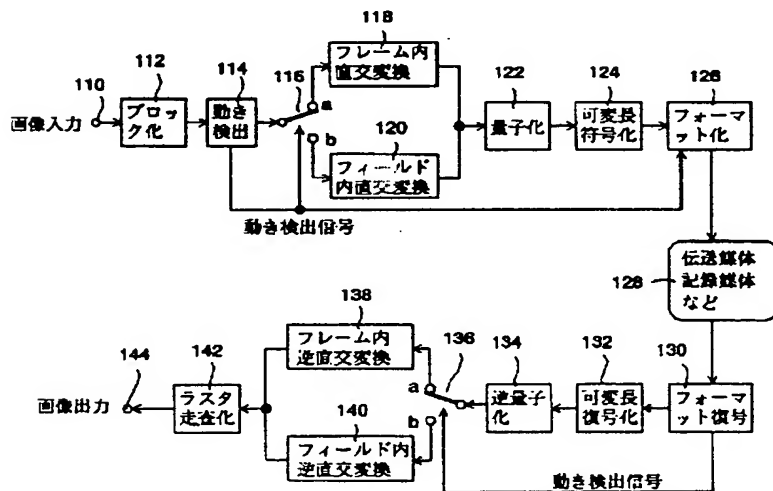
【図3】



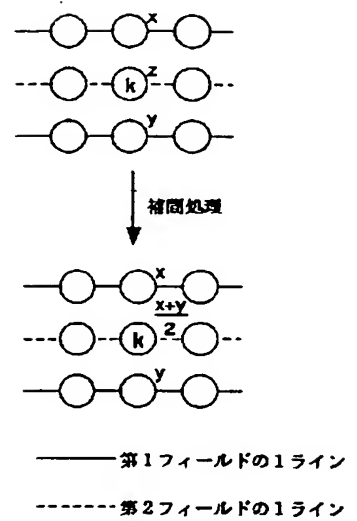
【図4】



【図5】



【図7】



④ 処理対象画素



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—84020

⑪ Int. Cl.<sup>3</sup>

G 11 B 5/12  
5/20

識別記号

庁内整理番号

6161—5D  
6161—5D

⑬ 公開 昭和55年(1980)6月24日

発明の数 1  
審査請求 有

(全 3 頁)

⑭ 薄膜磁気ヘッド

① 特 願 昭54—154530

② 出 願 昭54(1979)11月30日

優先権主張 ③ 1978年12月21日 ④ 米国(US)

⑤ 972103

⑥ 発 明 者 マーク・アンソニー・チャーチ  
アメリカ合衆国カリフォルニア  
州ロス・ゲートス・ワン・ハー  
フ・ペラルタ・ストリート15番  
地

⑦ 発 明 者 ロバート・エドワード・ジョー  
ンズ・ジュニア

アメリカ合衆国カリフォルニア  
州サン・ホセ・ハンプトン・ド  
ライブ6776番地

⑧ 出 願 人 インターナショナル・ビジネス  
・マシーンズ・コーポレーショ  
ン

アメリカ合衆国10504ニューヨ  
ーク州アーモンク(番地なし)

⑨ 復代理人 弁理士 山本仁朗

明 細 書

1 発明の名称 薄膜磁気ヘッド

2 特許請求の範囲

(1) 予定の外表面を有する基体と、上記基体上に付着形成した第1及び第2の磁性ポール・ピースと、上記両ポール・ピースの間に配置され上記予定の外表面に隣接して変換ギャップを形成する非磁性絶縁物と、上記両ポール・ピースを接続して形成されるパツタ・ギャップ部分と、上記変換ギャップと上記パツタ・ギャップとの間においてほぼ槽内形状に形成配置され複数回巻回された導電体コイルとよりなる薄膜磁気ヘッド。

(2) 導電体コイルが一平面上に形成された上記第(1)項記載の薄膜磁気ヘッド。

(3) 導電体コイルが多角形の頂点の如き形状の部分に有せずわん曲部が曲線状となつている上記第(1)項記載の薄膜磁気ヘッド。

(4) 導電体コイルが平板同心楕円状でコイル端部に形成された接点の同心楕円の中央部に1個と外

部に1個配置された上記第(1)項記載の薄膜磁気ヘッド。

(5) 導電体コイルが変換動作区域で比較的の小寸法で密に配置された上記第(1)項記載の薄膜磁気ヘッド。

(6) 外表面がエア・ベアリング表面である上記第(1)項記載の薄膜磁気ヘッド。

3 発明の詳細な説明

本発明は薄膜磁気ヘッドの新規で改良された構造に関する。

本発明の目的は、改善された信号出力、低く且つ均等な発熱と熱放散、及び最小限の熱及びストレス作用による長寿命を与える薄膜磁気ヘッドを提供することである。

薄膜磁気ヘッドの使用時に起る主要な問題の1つに熱の発生があるが、この熱は容易に放散されず、変換器全体に亘つて不均等に滞留する。熱の過剰は積層構造の層間崩れや諸部分の伸長や膨張を起しポール・チップが突出したりする。

薄膜ヘッドを製作する際、磁性ポール・ピース

で形成されるバック・ギャップは出来るだけ有効変換ギャップに近付けて磁路の長い程発生する信号損失を最小限にしなければならぬ。更に、ボール・ピースと磁気結合し変換ギャップに発生する磁束を作る電流を流す導電性コイルは、信号振幅を増加できるように出来るだけ多くの巻回数を持たねばならない。

そこで、複数巻回され抵抗が低く発熱が最少でしかも変換ギャップとバック・ギャップの間に入るコイル部分が相当小さな区域に入れられた導電性コイルを持つ薄膜ヘッドが要望されている。

第1図は本発明のヘッドの断面図であるが、この薄膜ヘッドは非磁性セラミツク支持体10と、その上に付着された例えばパーマロイからなる磁性ボール・ピース層12、14からなる。非磁性絶縁体22が層12、14の間に付着されている。絶縁体の一部が変換ギャップ16を規定し、これは例えば周知技術によりエア・ベアリング関係に置かれた磁性媒体と変換関係で相互作用する。この目的のため支持体10はエア・ベアリング表面

(3)

積の小さい部分が変換ギャップに最も近く配置され、変換ギャップからの距離が大きくなるにつれ、断面積が徐々に大きくなる。

バック・ギャップ18は変換ギャップのA B Sに相対的に近く位置している。しかし楕円形コイルはバック・ギャップ18と変換ギャップ16との間で比較的密に多数本入っており、コイルの幅乃至断面直径はこの区域では小さい。巻回数が多いので、信号出力の増大が実現する。更に、変換ギャップから最も遠い部分での大きな断面直径は電気抵抗の減少をもたらす。更に、楕円(長円)形コイルは角や鋭い隅や端部を持たず、電流への抵抗が小さい。又、楕円形状は矩形や円形(環状)コイルに比べ導電体の全長が少なくて済む。これら利点の結果、コイルの全抵抗は比較的少なく、発熱は少なく、適度の放熱性が得られる。熱を相当量減らすので、薄膜層の層剥れ、伸長、膨張は防止され、A B Sでのボール・チップ突出の原因が除かれる。

幅の変化がほぼ均一に進む楕円形コイル形状は、

(5)

(A B S)を有するスライダの形になつており、これはディスク・ファイル動作中に回転するディスク等の媒体に近接し浮上関係に位置する。

薄膜ヘッドはボール・ピース12、14の形成により出来るバック・ギャップ18を有する。バック・ギャップ18は介在するコイル20により変換ギャップから隔てられている。

連続しているコイル20は例えばメッキにより第1のボール・ピース12の上に作つた層になつており、ボール・ピース12、14の間にあり、これらを電磁結合する。コイル20とボール・ピース12、14とは絶縁体22で離れており、これがボール・ピースの間のコイルを外包している。コイルの中央には電気接点24が備えられ、同じくコイルの外端部終止点には電気接点26として更に大きな区域がある。接点は外部電源及び読取信号処理ヘッド回路(図示略)に接続されている。

本発明においては、単一の層で作られたコイル20が、やや歪んだ楕円形をしており、その断面

(4)

スバツタリングや蒸着等より安価な従来のメッキ技術で付着できる。他の形状特に角のある形のコイルではメッキ付着が不均一な幅の構造になり易い。角や鋭い端部等の除去は出来上つたコイルにより少ない機械的ストレスしか与えない。

本発明は上記のように、多数巻回した、連続コイル層がほぼ楕円形状でボール・ピースの間に形成されていることが開示された。コイルの断面直径は、変換ギャップ近辺からバック・ギャップ近辺へ向けて、及びこれを超えて、徐々に狭がつていく。その結果、信号出力は増加し、電気抵抗と発熱は相当に減少された。

#### 4. 図面の簡単な説明

第1図は本発明実施例の断面図、第2図は同上断面図である。

12、14……ボール・ピース、16……変換ギャップ、18……バック・ギャップ、20……コイル。

(6)

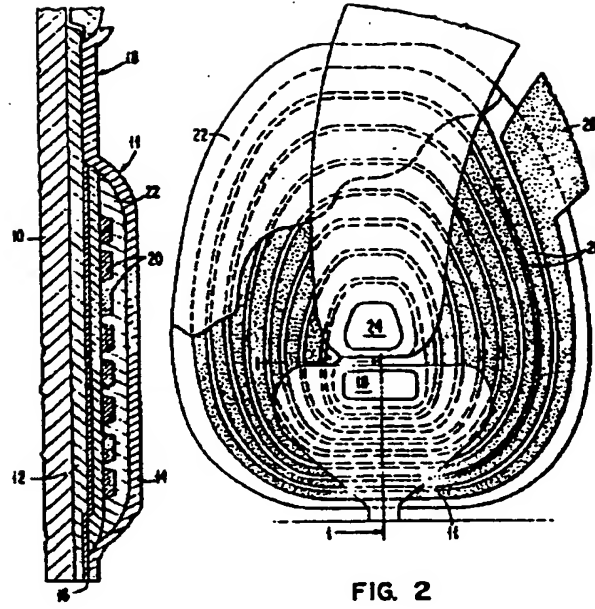


FIG. 1

FIG. 2